

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02073719 A**

(43) Date of publication of application: **13.03.90**

918 U.S. PTO

09/81456

03/20/01

(51) Int. Cl

**H03K 19/0175**

(21) Application number: **63225764**

(22) Date of filing: 09.09.88

(71) Applicant: **NEC IC MICROCOMPUT SYST LTD**

(72) Inventor: **SASAKI MASAYUKI**

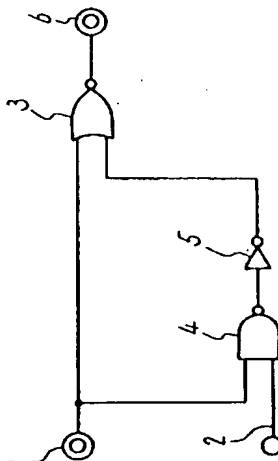
#### (54) INPUT BUFFER CIRCUIT

(57) Abstract:

**PURPOSE:** To simplify the design and to reduce the cost by accepting an inputted CMOS level and an inputted TTL level by an input buffer section.

**CONSTITUTION:** An input level detected by a NOR gate 3 is set to a CMOS level and an input level detected by a NAND gate 4 is set to a TTL level respectively. When the CMOS level is used for the input terminal, the signal of the CMOS level is detected by a NOR gate 3 only. When the TTL level is inputted, its high level is detected by the NAND gate 4 and the high level being the TTL level as the intermediate level is not affected on the NOR gate 3 detecting the CMOS level. Thus, two kinds of input buffers are not required and since one kind of the buffer is enough, the design cost is reduced.

**COPYRIGHT: (C)1990,JPO&Japio**



**BEST AVAILABLE COPY**



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-73719

⑪ Int. Cl.<sup>3</sup>  
H 03 K 13/0175

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月13日

8326-5J H 03 K 19/00 101 A

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 入力バッファ回路

⑮ 特 願 昭63-225764

⑯ 出 願 昭63(1988)9月9日

⑰ 発 明 者 佐々木 正之 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社

⑱ 出 願 人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

⑲ 代 理 人 弁理士 内原 晋

BEST AVAILABLE COPY

明 細 書

発明の名称

入力バッファ回路

特許請求の範囲

半導体集積回路装置において、第1の入力信号と第2の入力信号とを入力するNANDゲートと、前記NANDゲートの出力信号と入力するインバータと、前記第1の入力信号と前記インバータの出力信号とを入力するNORゲートとを含む、前記NORゲートの出力を出力信号として成ることを特徴とする入力バッファ回路。

発明の詳細な説明

(産業上の利用分野)

本発明は入力バッファ回路に関し、特にディジタル信号を扱う半導体集積回路装置の入力バッファ回路に関する。

(従来の技術)

入力バッファ回路は半導体集積回路装置内に外部から信号を入力する入力部に使用され、外部から半導体集積回路装置内の入力部に加えられる信号レベルが電氣的にハイレベルかロウレベルかを認識するためのものである。

従来の技術として、外部回路がCMOSレベルで構成されている場合、入力バッファ回路の回路閾値レベルは電源電圧 $V_{DD}$ の約 $1/2$ であるが、実際の製品においては、 $0.7V_{DD}$ 以上がハイレベル、 $0.3V_{DD}$ 以下がロウレベルと規格を設定しており、閾値はそれらのレベルの間であればよい。

ところが現在、一般に汎用仕様として多用されている信号レベルはTTLレベルであり、その汎用仕様と電氣的に接続するためには、TTLレベルの電氣的条件であるハイレベル最悪値 $2.0V$ ・ロウレベル $0.8V$ を十分に認識できなければならない。そこで、CMOSで構成された半導体集積回路装置において、TTLレベルも入力される入力バッファ回路には、CMOSレベル用と

TTLレベル用の2つの入力バッファ部が必要である。

第2図は従来の技術による入力バッファ回路の例である。外部回路からの入力端子1と、入力端子1からの入力信号を入力するCMOSレベル用入力バッファ部7と、入力端子1からの入力信号を入力するTTLレベル用入力バッファ部8とを持ち、外部からCMOSかTTLレベルかを選択するCMOSレベル信号9とTTLレベル選択信号10との各信号により、トランスファージート11又はトランスファージート12のうちどちらから一方がオンして、CMOSレベル用入力バッファ部7の出力信号かTTLレベル用入力バッファ部8の出力信号のどちらか一方の出力信号が入力バッファ回路の出力端子6に出力される。

第2図においては、TTLレベルのハイレベルが入力された場合、CMOSレベル用入力バッファ部において、CMOSレベルの閾値がTTLでのハイレベルに近いので、貫通電流が流れる。また、従来の2種類の入力バッファ部を持っている

入力バッファ回路において、外部入力バッファがCMOSレベルでもTTLレベルでも使用できるような回路にすることで2種類の入力バッファが不要となり、1種類で設計を行なえるため設計時のコスト低減が期待できる。

(発明が解決しようとする課題)

以上説明した従来の技術による入力バッファ回路では、1つの入力ごとにCMOSレベル用の入力バッファ部とTTLレベルの入力バッファ部を別々に設け、それらの切り換えは外部からの選択信号によって切り換えるため、半導体集積回路装置に実現した場合、面積が大きくなり、またTTLレベルのハイレベルを入力した時CMOS用入力バッファ部において貫通電流が流れるという欠点がある。

(課題を解決するための手段)

本発明の入力バッファ回路は、半導体集積回路装置において、第1の入力信号と第2の入力信号とを入力するNANDゲートと、前記NANDゲートの出力信号と入力するインバータと、前記

第1の入力信号と前記インバータの出力信号とを入力するNORゲートとを含み、前記NORゲートの出力を出力信号として構成される。

(実施例)

以下本発明の詳細を、その実施例につき図面を参照して説明する。

第1図は本発明による入力バッファ回路の一実施例の回路図である。

本実施例はCMOSレベル又はTTLレベルの信号が入力される入力端子1と、TTLレベルの入力を選択する入力レベル選択信号2と、入力端子1からの信号と入力レベル選択信号2をゲート入力するNANDゲート4と、NANDゲート4の出力をゲート入力とするインバータ5と、入力端子1からの信号とインバータ5の出力をゲート入力とするNORゲート3と、NORゲート3の出力を入力バッファ回路の外に出力する出力端子6とから構成されている。

次に本実施例の動作を説明する。

第1図において、NORゲート3が検知できる

入力レベルはCMOSレベルに、またNANDゲート4が検知できる入力レベルはTTLレベルにそれぞれ設定されているものとする。

まず入力端子としてCMOSレベルを用いる場合、入力レベル選択信号4はハイレベル出力となり、入力端子1からの入力信号の影響を受けない。したがって、入力端子1に入力されたCMOSレベルの信号は、NORゲート3によってのみ検知される。

次に入力端子としてTTLレベルを用いる場合入力レベル選択信号はハイレベルとする。ここで、入力端子1にTTLレベルのハイレベルを入力した場合、NORゲート3ではCMOSレベルしか検知できないため、TTLのスペックでのハイレベルはCMOSレベルでの中間としか判断できない。しかし、NANDゲート4はTTLレベルに設定されているため、TTLハイレベルを検知しロウレベルを出力し、インバータ5がハイレベルを出力するためNORゲート3は、ロウレベルに固定される。すなわち、TTLレベルが入力

された場合、そのハイレベルはNANDゲート4によって検知され、CMOSレベルを検知するNORゲート3にとっては中間レベルとなるTTLレベルのハイレベルは影響を受けない。またTTLレベルのロウレベルが入力された場合は特に問題は無い。

本実施例における入力バッファ回路においては、TTLレベルのハイレベルを入力した場合での入力バッファ回路における貫通電流がなく、半導体集積回路装置を実現した時の消費電流を低減できる。また回路構成が簡単であるので設計が容易であり、設計コスト低減も期待できる。

(発明の効果)

以上説明したように本発明の入力バッファ回路は、入力するCMOSレベルとTTLレベルを1つの入力バッファ部で兼用するので、設計が簡単となり設計コストの低減することができる。また、TTLレベルのハイレベルを入力した場合の貫通電流がないため、半導体集積回路装置に実現した場合の消費電流の低減ができるという効果が

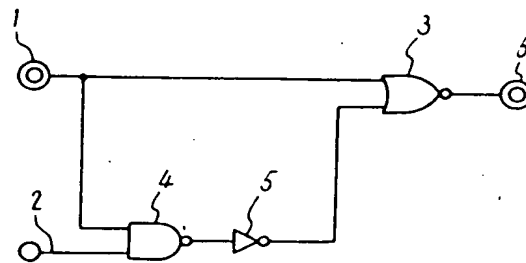
ある。

図面の簡単な説明

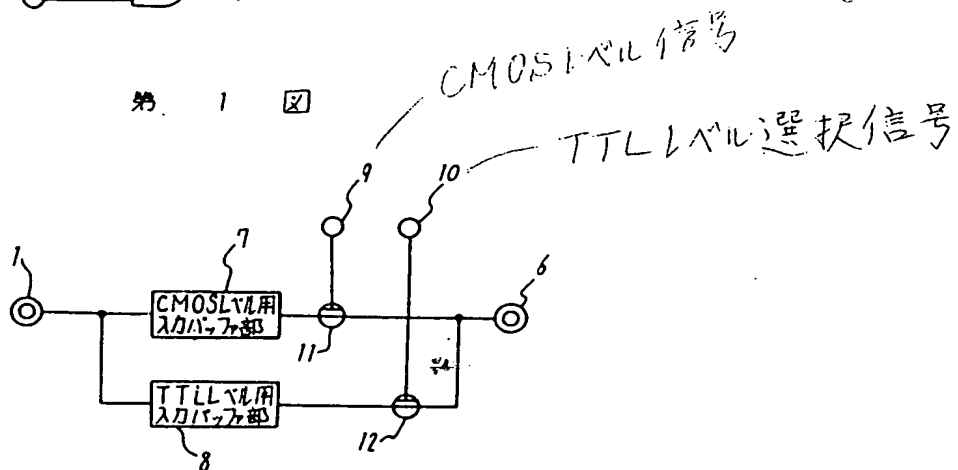
第1図は本発明による入力バッファ回路の一実施例の回路図である。第2図は従来の技術による入力バッファ回路の一例。

1……入力端子、2……入力レベル選択信号、3……NORゲート、4……NANDゲート、5……インバータ、6……出力端子。

代理人 井理士 内 原 研



第 1 図



第 2 図

BEST AVAILABLE COPY